

PAT-NO: JP410012822A
DOCUMENT-IDENTIFIER: JP 10012822 A
TITLE: MOS CAPACITOR CHIP AND SEMICONDUCTOR
DEVICE
PUBN-DATE: January 16, 1998

INVENTOR-INFORMATION:

NAME
KAMEBUCHI, TAKESHI
WADA, ISAMU

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP08158380

APPL-DATE: June 19, 1996

INT-CL (IPC): H01L027/04, H01L021/822 , H01L021/28 ,
H01L021/60

ABSTRACT:

PROBLEM TO BE SOLVED: To restrain deterioration of a base film of a capacitor or a silicon substrate under the base film which is to be caused by impact at the time of wire bonding, by forming a capacitor electrode constituted of a metal film formed on a polycrystalline silicon film and Au formed on the metal film.

SOLUTION: A silicon oxide film 12 is formed on the surface of a silicon substrate 11 by using a thermal oxidation method, and a polycrystalline silicon

film 13 is formed on the silicon oxide film 12 by using a CVD method. After that, if necessary, the polycrystalline silicon film 13 is doped with impurities like P. After an oxide film on the surface of the polycrystalline silicon film 13 is eliminated, a V film 141/a Ni film 142/an Au film 15 are formed in this order by using a sputtering method or the like. After the Au film/the Ni film/the V film are patterned, devision into chips is performed. Since the oxide film on the surface of the polycrystalline silicon film 13 is eliminated before a metal multilayered film 16 of V/Ni/Au is formed, adherence between the metal multilayered film 16 and the base film is improved.

COPYRIGHT: (C)1998, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-12822

(43)公開日 平成10年(1998)1月16日

(51)Int.Cl. ³	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 27/04			H 01 L 27/04	C
21/822			21/28	3 0 1 Z
21/28	3 0 1		21/60	3 0 1 P
21/60	3 0 1			3 0 1 D

審査請求 未請求 請求項の数7 OL (全5頁)

(21)出願番号 特願平8-158380

(22)出願日 平成8年(1996)6月19日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 亀淵 丈司

兵庫県姫路市余部区上余部50番地 株式会
社東芝姫路半導体工場内

(72)発明者 和田 勇

兵庫県姫路市余部区上余部50番地 株式会
社東芝姫路半導体工場内

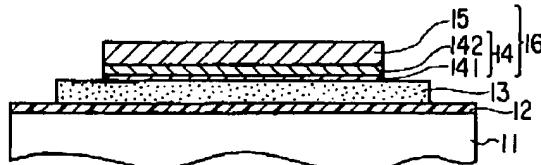
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 MOSコンデンサチップおよび半導体デバイス

(57)【要約】

【課題】MOSコンデンサチップのボンディングパッド兼用のコンデンサ電極上にAu線を用いてワイヤーボンディングを行う時に、接合面積が小さくても十分なボンディング強度、信頼性が得られ、コンデンサ電極とその下地膜との密着性がよく、ワイヤーボンディング時の衝撃によるコンデンサ電極の下地膜や下層のシリコン基板の劣化を抑制し、MOSコンデンサチップを安価に実現する。

【解決手段】シリコン基板11と、シリコン基板の表面に熱酸化により形成されたシリコン酸化膜12と、シリコン酸化膜上に形成された多結晶シリコン膜13と、多結晶シリコン膜上に形成された金属膜14およびその上に形成されたAu膜15からなるメタル多層膜16とを具備する。



1

【特許請求の範囲】

【請求項1】 シリコン基板と、

前記シリコン基板の表面に熱酸化により形成されたシリコン酸化膜と、
 前記シリコン酸化膜上に形成された多結晶シリコン膜と、
 前記多結晶シリコン膜上に形成された金属膜およびその上に形成されたAu膜からなるメタル多層膜とを具備することを特徴とするMOSコンデンサチップ。

【請求項2】 前記金属膜は、V/Niの二層膜を含むことを特徴とする請求項1記載のMOSコンデンサチップ。

【請求項3】 前記金属膜は、Cr膜を含むことを特徴とする請求項1記載のMOSコンデンサチップ。

【請求項4】 前記金属膜は、Ti膜を含むことを特徴とする請求項1記載のMOSコンデンサチップ。

【請求項5】 前記メタル多層膜は、ボンディングパッドを兼ねていることを特徴とする請求項1乃至4のいずれか1項に記載のMOSコンデンサチップ。

【請求項6】 請求項5記載のMOSコンデンサチップと、

他の半導体チップと、

前記MOSコンデンサチップのAu膜と前記他の半導体チップのボンディングパッドとに直接にボンディング接続されたAu線とを具備することを特徴とする半導体デバイス。

【請求項7】 前記Au線は、ネイルヘッドボンディングによりMOSコンデンサチップ側でセカンドボンディングが行われており、

前記半導体デバイスはマルチチップモジュールであることを特徴とする請求項6記載の半導体デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンデンサチップおよびそれを用いた半導体デバイスに係り、特にMOSコンデンサチップおよびそれを用いた半導体デバイスに関するものであり、例えばマルチチップモジュールに使用される。

【0002】

【従来の技術】図4は、MOSコンデンサチップの従来例の断面構造を示している。図4のMOSコンデンサチップは、シリコン基板41の表面に誘電体として熱酸化膜(シリコン酸化膜)42が形成され、この熱酸化膜の上にA1(アルミニウム)電極43が形成されてなる。上記A1電極43がボンディングパッドを兼ねる場合には、その上にワイヤーボンディングが行われる。

【0003】しかし、上記したような従来例のMOSコンデンサチップは、以下に述べる(1)、(2)の問題がある。

(1) コンデンサ電極43としてA1が使用されている

2

ので、Au(金)線を用いたワイヤーボンディングが行われると、A1とAuとの相互拡散によりボンディング強度が劣化する。

【0004】Au線を用いたワイヤーボンディングに際して、通常はネイルヘッドボンディングが一般的であるが、A1電極上にセカンドボンディング(ボンディングワイヤー終端側のボンディング)を行う場合には、A1電極上にファーストボンディング(ボンディングワイヤー始端側のボンディング)を行う場合に比べてAuとA1との接合面積が非常に小さいので、ボンディング強度の劣化が著しく、十分な信頼性が得られない。従って、例えばコンデンサチップ相互をAu線で直接に結ぶ場合には、A1電極上にセカンドボンディングを行うことができない。

【0005】上記の問題を解決するためには、コンデンサ電極とボンディングワイヤーとが相互拡散しないように、A1電極-A1線、Au電極-Au線の組み合わせを選択すればよい。

【0006】しかし、前者のA1電極-A1線の組み合わせはAu電極-Au線の組み合わせに比べて、ボンディング速度と自由度の点で劣る。また、後者のAu電極-Au線の組み合わせはA1電極-A1線の組み合わせと比べて、シリコン酸化膜上にAu電極膜を形成する際に両者の密着性が悪い。

【0007】(2)シリコン酸化膜42上に直接にA1電極43が形成されているので、その上にワイヤーボンディングが行われる時の衝撃によるダメージにより、シリコン酸化膜あるいはその下層のシリコン基板が劣化する。

【0008】なお、コンデンサチップの別の従来例として、誘電体としてセラミックを使用し、コンデンサ電極としてAu-Pd(パラジウム)などの金属膜を使用したセラミックコンデンサがある。しかし、上記したようなセラミックコンデンサは、MOSコンデンサチップと比べて、高価であり、容量の温度依存性が大きいという問題がある。

【0009】

【発明が解決しようとする課題】上記したように従来のMOSコンデンサチップは、コンデンサ電極としてA1が使用されているので、Au線を用いたワイヤーボンディングが行われると、A1とAuとの相互拡散によりボンディング強度が劣化し、A1電極上にセカンドボンディングを行う場合にはAuとA1との接合面積が非常に小さいので、ボンディング強度の劣化が著しく、十分な信頼性が得られないという問題があった。

【0010】本発明は上記の問題点を解決すべくなされたもので、ボンディングパッドを兼ねるコンデンサ電極上にAu線を用いてワイヤーボンディングを行う時に、接合面積が小さくても十分なボンディング強度、信頼性が得られ、コンデンサ電極とその下地膜との密着性がよ

く、ワイヤーボンディング時の衝撃によるコンデンサ電極の下地膜あるいはその下層のシリコン基板の劣化を抑制でき、安価に実現し得るMOSコンデンサチップおよびそれを用いた半導体デバイスを提供することを目的とする。

【0011】

【課題を解決するための手段】本発明のMOSコンデンサチップは、シリコン基板と、前記シリコン基板の表面に熱酸化により形成されたシリコン酸化膜と、前記シリコン酸化膜上に形成された多結晶シリコン膜と、前記多結晶シリコン膜上に形成された金属膜およびその上に形成されたAu膜からなるコンデンサ電極とを具備することを特徴とする。

【0012】また、本発明の半導体デバイスは、前記MOSコンデンサチップと、他の半導体チップと、前記MOSコンデンサチップのAu膜と前記他の半導体チップのボンディングパッドとに直接にボンディング接続されたAu線とを具備することを特徴とする。

【0013】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明の第1の実施の形態に係るMOSコンデンサチップの断面構造を示している。

【0014】図1のMOSコンデンサチップは、シリコン基板11と、前記シリコン基板の表面に熱酸化により形成されたシリコン酸化膜12と、前記シリコン酸化膜上に多結晶シリコン膜13と、前記多結晶シリコン膜上に形成された金属膜14およびその上に形成されたAu膜15からなるメタル多層膜16とを具備する。

【0015】前記多結晶シリコン膜13は、必要に応じ*

(評価サンプルのプロセス)

シリコンウエハ→熱酸化膜形成(厚さ50nm)

→熱酸化膜バーニング

→多結晶シリコン膜工程(有/無)

多結晶シリコン膜形成(厚さ450nm)

リンドープ

多結晶シリコン膜バーニング

→CDE工程(有/無)

→酸化膜除去工程(有/無)

→メタル多層膜スパッタ(V/Ni/Au) V = 35 nm

/Ni = 100 nm

Au = 500 nm

→メタル多層膜バーニング

→密着性評価

(密着性評価方法…接着テープ剥離試験) メタル多層膜表面に接着テープを貼り、これを剥離した時にメタル多層膜が剥がれるか否かによって判断する。

*【0022】

【表1】

*でP(リン)などの不純物がドープされたものでもよく、所望の容量値が得られるような大きさ・形状にバーニングされている。

【0016】前記金属膜14として、本例ではV膜14/1/Ni膜142の二層膜が用いられている。また、前記メタル多層膜16は、本例ではボンディングパッドを兼ねている。

【0017】次に、上記した図1のMOSコンデンサチップの製造工程を説明する。まず、シリコン基板11の表面に熱酸化法によりシリコン酸化膜12を形成し、その上にCVD(化学気相成長)法により多結晶シリコン膜13を形成する。

【0018】この後、必要に応じてP(リン)などの不純物を多結晶シリコン膜13にドーピングする。この後、所望の容量値が得られるような大きさ・形状に多結晶シリコン膜13をバーニングする。

【0019】次に、多結晶シリコン膜13の表面の酸化膜を除去した後、スパッタ法などによりV膜141/Ni膜142/Au膜15の順に形成する。この後、Au膜15/Ni膜142/V膜141をバーニングした後、チップに分割する。

【0020】上記したようにV/Ni/Auのメタル多層膜16を形成する前に、多結晶シリコン膜13の表面の酸化膜を除去することにより、メタル多層膜16とその下地膜(多結晶シリコン膜13)との密着性が向上する。

【0021】ここで、次のような評価サンプルに対してメタル多層膜16と多結晶シリコン膜13との密着性を評価した結果の一例を表1に示す。

5

6

評価結果	多結晶シリコン	CDE	酸化膜除去	剥離／評価 (ウエハー数)
A	あり	あり	あり	0/2
B	あり	なし	あり	0/7
C	あり	なし	なし	5/5
D	なし	なし	なし	5/5

【0023】表1中の評価結果Bに示すように、多結晶シリコン膜13の表面の酸化膜を除去した場合には、7つの評価ウエハーのうちでメタル多層膜16の剥離が生じたウエハーは0であり、良好であった。

【0024】これに対して、表1中の評価結果Cに示すように、多結晶シリコン膜13の表面の酸化膜を除去しなかった場合には、5つの評価ウエハーの全てのウエハーでメタル多層膜16の剥離が生じた。

【0025】前記メタル多層膜16とその下地膜との密着性をさらに向上させる方法として、多結晶シリコン膜13の表面をCDE(ケミカルドライエッティング)法により粗くしてもよい。

【0026】ここで、試作評価の結果の一例を述べると、前記表1中の評価結果Aに示すように、2つの評価ウエハーのうちでメタル多層膜16の剥離が生じたウエハーは0であり、良好であった。

【0027】即ち、図1のMOSコンデンサチップによれば、ボンディングパッドとコンデンサ電極とを兼ねるメタル多層膜16の最上面にAu膜15を有するので、メタル多層膜16上にAu線を用いてワイヤーボンディングを行う時のボンディング速度と自由度の点で有利である。

【0028】また、Au膜15とAu線とのボンディングを行うので、相互拡散が生じず、ボンディング強度の劣化が生じない。これにより、例えばネイルヘッドボンディング時のセカンドボンディングのように、パッドとワイヤーとの接合面積が小さくても、ボンディングの信頼性が十分に得られる。

【0029】また、V/Ni/Au膜からなるメタル多層膜16と下層のシリコン酸化膜12とを直接に密着させた場合の密着性はよくない(試作評価の結果、前記表1中の評価結果Dに示すように、5つの評価ウエハーの全てのウエハーでメタル多層膜16の剥離が生じた)が、図1のMOSコンデンサチップによれば、シリコン酸化膜13とメタル多層膜16との間に多結晶シリコン膜13が形成されており、シリコン酸化膜12とメタル多層膜16との密着性の向上が図られている。

【0030】この場合、メタル多層膜16中の金属膜(V/Ni)14は、メタル多層膜表面部のAu膜15と多結晶シリコン膜13との化合の脆さを防止するためのバリア膜、あるいは、Au膜15と多結晶シリコン膜*50

10*13との密着性を保つためのろう材として作用する。

【0031】このような構造により、多結晶シリコン膜13がワイヤーボンディング時の衝撃を吸収・緩和するので、前記衝撃によるメタル多層膜16の下層のシリコン酸化膜12のダメージやシリコン基板11の表面のダメージを抑制できる。

【0032】従って、図1のMOSコンデンサチップと他の半導体チップとの間を電気的に接続する際に、例えばネイルヘッドボンディングにより直接にAu線でボンディング接続することが可能になる。

【0033】上記したような製造工程により図1のMOSコンデンサチップを試作して評価した結果、所望の特性が得られた。図2は、図1のMOSコンデンサチップの一使用例に係る例えば高周波用の半導体デバイスの一例としてマルチチップモジュールの一例の一部を示している。

【0034】図2において、20は例えば印刷配線基板、21は前記印刷配線基板上に搭載されて固定されたMOSコンデンサチップ、22は前記印刷配線基板上に搭載されて固定された他の半導体チップ、23は前記MOSコンデンサチップのAu膜と前記他の半導体チップのボンディングパッドとに直接にボンディング接続されているAu線である。この場合、Au線23は、ネイルヘッドボンディングによりMOSコンデンサチップ側でセカンドボンディングが行われている。

【0035】一般に、高周波用の半導体デバイスでは、配線の長さに依存するインダクタンス成分が動作特性の劣化要因になるが、上記したようにチップ間に直接にワイヤーボンディング接続することにより配線長さを短縮でき、動作特性の劣化を抑制できる。

【0036】なお、チップ間を直接にワイヤーで接続する技術としてステッチボンディング、BWB(Ball to Wedge on Ball)ボンディングがあるが、これらの技術はAI電極へのAu線のボンディングは可能であるが、前記ネイルヘッドボンディングと比べて量産性が劣る。

【0037】また、図1のMOSコンデンサチップによれば、セラミックコンデンサと比べて、安価であり、容量の温度依存性が小さいという利点もある。なお、本発明のMOSコンデンサチップにおいては、前記金属膜として、V/Niに限らず、Ti/Pt、Ti、Cr、Pdなどを使用できる。

【0038】図3は、本発明の第2の実施の形態に係るMOSコンデンサチップの断面構造を示している。図3のMOSコンデンサチップは、図1のMOSコンデンサチップと比べて、メタル多層膜16の構造として、Ti膜143とAu膜15との二層膜が用いられている点が異なり、その他は同じであるので図1中と同一符号を付している。

【0039】図3のMOSコンデンサチップも、図1のMOSコンデンサチップと同様の効果が得られる。なお、図3中のTi膜143に代えてCr膜を用いても、図3のMOSコンデンサチップと同様の効果が得られる。

【0040】

【発明の効果】 上述したように本発明によれば、ボンディングパッドを兼ねるコンデンサ電極上にAu線を用いてワイヤーボンディングを行う時に、接合面積が小さくても十分なボンディング強度、信頼性が得られ、コンデンサ電極とその下地膜との密着性がよく、ワイヤーボンディング時の衝撃によるコンデンサ電極の下地膜あるいはその下層のシリコン基板の劣化を抑制でき、安価に実現し得るMOSコンデンサチップを提供することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係るMOSコンデンサチップを示す断面図。

【図2】 図1のMOSコンデンサチップの一使用例に係るマルチチップモジュールの一例の一部を示す断面図。

【図3】 本発明の第2の実施の形態に係るMOSコンデンサチップを示す断面図。

【図4】 従来のMOSコンデンサチップを示す断面図。

【符号の説明】

10 11…シリコン基板、

12…シリコン酸化膜、

13…多結晶シリコン膜、

14…金属膜、

141…V膜、

142…Ni膜、

143…Ti膜、

15…Au膜、

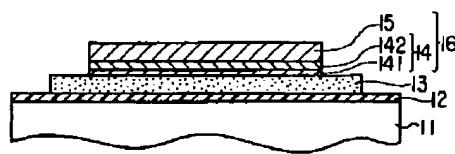
16…メタル多層膜、

21…MOSコンデンサチップ、

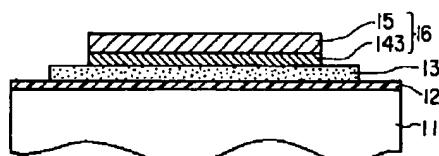
22…他の半導体チップ、

23…Au線。

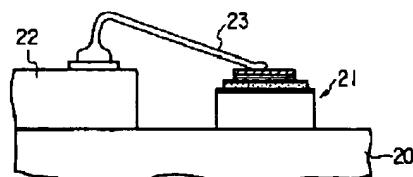
【図1】



【図3】



【図2】



【図4】

